

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-115628

(43)Date of publication of application : 16.04.1992

(51)Int.Cl.

H03M 7/40
G06F 15/66
H04N 1/415
H04N 7/13

(21)Application number : 02-231534

(71)Applicant : SONY CORP

(22)Date of filing : 31.08.1990

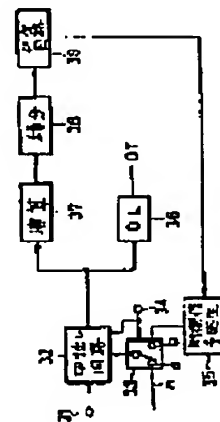
(72)Inventor : KONDO TETSUJIRO

(54) BIT LENGTH ESTIMATION CIRCUIT FOR VARIABLE LENGTH CODING

(57)Abstract:

PURPOSE: To estimate bit length from coded data itself by segmenting data from the coded data by plural possible bit lengths, and calculating auto-correlation coefficients in respect of plural segmented data groups respectively.

CONSTITUTION: When the input terminal (b) of a switching circuit 33 is selected, a segmentation circuit 32 executes the segmenting operation of m (=1, 2, 3, 4)-bits in parallel for the same coded data group, and the output data of the segmentation circuit 32 segmented by each bit length is supplied to an arithmetic circuit 37. The arithmetic circuit 37 calculates the auto-correlation coefficient $\phi(\tau)$. A discrimination circuit 39 specifies the bit length (m) to be maximum among integrated values integrated by an integration circuit 38. Thus, the data being variable-length-coded can be segmented by the bit length which can be estimated to be correct.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平4-115628

⑬ Int. Cl.³

H 03 M 7/40
G 06 F 15/66
H 04 N 1/415
7/13

識別記号

3 3 0 E
Z

庁内整理番号

7259-5J
8420-5L
8839-5C
6957-5C

⑭ 公開 平成4年(1992)4月16日

審査請求 未請求 請求項の数 5 (全8頁)

⑮ 発明の名称 可変長符号化のビット長推定回路

⑯ 特 願 平2-231534

⑰ 出 願 平2(1990)8月31日

⑱ 発 明 者 近 藤 哲 二 郎 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
⑳ 代 理 人 弁理士 杉浦 正知

明 細 書

1. 発明の名称

可変長符号化のビット長推定回路

2. 特許請求の範囲

(1) 可変長符号化で発生した符号化データを復号する装置に設けられる上記符号化データのビット長推定回路において、

上記符号化データを複数のビット長で夫々切り出す手段と、

上記切り出された符号化データが供給され、上記複数のビット長に関する複数の自己相関係数を検出する手段と、

上記複数の自己相関係数に基づいて上記符号化データのビット長を判定する手段と

からなる可変長符号化のビット長推定回路。

(2) 上記ビット長判定手段が上記複数の自己相関係数を夫々積分し、積分値が最大のものを上記符号化データのビット長と判定するようにされた請求項(1)記載の可変長符号化のビット長推定回路。

(3) 上記ビット長判定手段が上記各ビット長に関する

自己相関係数を夫々積分し、積分値が最大のものを上記符号化データのビット長と判定すると共に、上記積分値の最大のものがあるしきい値以下の時に0ビット割り当てと判定するようにされた請求項(1)記載の可変長符号化のビット長推定回路。
(4) 上記ビット長判定手段が上記各ビット長に関する自己相関係数を夫々積分し、積分値が最大のものを上記符号化データのビット長と判定すると共に、上記積分値の最大のものとその第2番目の大きさのものととの差が少ない時に0ビット割り当てと判定するようにされた請求項(1)記載の可変長符号化のビット長推定回路。

(5) 可変長符号化で発生した符号化データを復号する装置に設けられる上記符号化データのビット長推定回路において、

上記符号化データを1ビットで切り出す手段と、

上記切り出された符号化データが供給され、自己相関係数を検出する手段と、

上記自己相関係数の周期性から上記符号化データのビット長を判定する手段と

からなる可変長符号化のビット長推定回路。

3 発明の詳細な説明

(産業上の利用分野)

この発明は、ビット長が可変の符号化データを復号するために、符号化データのビット長を推定するための装置に関する。

(発明の概要)

この発明は、可変長符号化で発生した符号化データを復号する装置に設けられる符号化データのビット長推定回路において、符号化データから可能性のある複数のビット長でデータを切り出し、切り出された複数のデータ系列に関して自己相関係数を夫々計算し、自己相関係数に基づいて符号化データの割り当てビット長を推定するものである。

(従来の技術)

ディジタル画像信号を伝送或いは記録する時に、その情報量を圧縮するために、可変長符号化がし

ばしば使用される。例えば本願出願人が先に提案した可変長A D R Cは、1フレームの画素を小さなブロックに分解し、各ブロックの画素データの最大値及び最小値とこれらの差であるダイナミックレンジとを検出し、ダイナミックレンジに適合して各画素を元のビット長(例えば8ビット)より少ない可変のビット長 n ($n=0, 1, 2, 3$ 又は4ビット)で符号化するものである。即ち、ダイナミックレンジが大きいブロックに対しては、割り当てビット長 n が多くされ、これが小さいブロックに対しては、割り当てビット長 n が小さくされる(例えば特開昭62-128621号公報参照)。また、1フレーム期間の発生情報量を一定とするためのバッファリングを可変長A D R Cと関連して実現する技術も本願出願人により提案されている(例えば61-257586号明細書参照)。

可変長A D R Cの場合では、各ブロックのダイナミックレンジ情報例えばダイナミックレンジ及び最小値と各画素データとを伝送する必要がある。

また、バッファリングが組合わされた可変長A D R Cでは、バッファリングがなされる単位期間で使用されるしきい値情報も伝送する必要がある。この伝送データ中の決まった位置にダイナミックレンジ情報を挿入し、受信側では、このダイナミックレンジ情報からブロック毎にビット長 n を復号することがなされる。

(発明が解決しようとする課題)

しかしながら、一旦、ダイナミックレンジ情報がエラーとなると、割り当てビット長 n を復号できなくなり、そのエラー以降のコード信号の区切りが分からなくなるエラー伝播が生じる。エラー伝播を防止する一つの方法として、伝送データの1ブロックのコード信号の終わりの位置に特別なパターンのコード(ブロック終端コード)を挿入することが考えられる。しかしながら、1ブロックのデータの区切りに夫々このブロック終端コードを挿入することは、伝送データ量の増大を招く欠点がある。

従って、この発明の目的は、ビット長の特定を可能とするデータがエラーデータとなっても、符号化データ自身からビット長を推定できるビット長推定回路を提供することにある。

(課題を解決するための手段)

この発明は、可変長符号化で発生した符号化データを復号する装置に設けられる符号化データのビット長推定回路において、

符号化データを複数のビット長 m ($m=1, 2, 3$ 又は4ビット)で夫々切り出す手段(32、33、35)と、

切り出された符号化データが供給され、複数のビット長に関する複数の自己相関係数を検出する手段(37)と、

複数の自己相関係数に基づいて符号化データのビット長 n を判定する手段(39)と

からなる可変長符号化のビット長推定回路である。

〔作用〕

受信された符号化データの系列が複数のビット長 m で切り出され、切り出された複数のデータ系列に関して自己相関係数 $\phi(r)$ が夫々求められる。この複数の自己相関係数 $\phi(r)$ が夫々積分され、積分値が最大となるビット長 m が符号化データの割り当てビット長 n と判定される。また、この積分値の最大のものがしきい値以下の時、又は積分値の最大値とその2番目の大きさのものと差が少ない時に、 $(n=0)$ と判定される。

積分値の最大値に限らず、 $(m=1)$ の時の自己相関係数 $\phi(r)$ の周期性から割り当てビット長 n を判定することもできる。

このように自己相関係数 $\phi(r)$ に基づいて割り当てビット長 n を判定するので、符号化データ中の割り当てビット長 n を示す情報がエラーとなっても、かなり正しくビット長 n を判定できる。また、ブロック終端コードを不要とでき、圧縮効率の向上を図ることができる。

せる。遅延回路4の出力信号及び最小値MINが演算回路5に供給され、演算回路5から最小値が除去されたビデオデータが得られる。

演算回路5の出力データ及びダイナミックレンジDRが遅延回路6及び9を夫々介して量子化回路7に供給される。量子化回路7には、更にビット長決定回路10から割り当てビット長 n のデータが供給される。量子化回路7から元のビット長(8ビット)より少ない n ビット($n=0, 1, 2, 3$ 又は4ビット)のコード信号DTが得られる。量子化回路7は、ダイナミックレンジDRに適応した量子化を行う。つまり、ダイナミックレンジDRを 2^n 等分した量子化ステップ Δ で、最小値が除去されたビデオデータが除算され、商を切り捨てて整数化した値がコード信号DTとされる。量子化回路7は、除算回路或いはROMで構成できる。

コード信号DTに割り当てられるビット長 n は、所定期間例えば1フレーム当りの発生データ量が目標値を超えないように決定されたものである。

〔実施例〕

以下、この発明の一実施例について、図面を参照して説明する。第1図は、この一実施例の送信側の構成を示し、1で示す入力端子に、1サンプルが8ビットにデジタル化されたデジタルビデオデータが供給される。ビデオデータは、ブロック化回路2で、走査線の順序からブロックの順序にデータの配列が変換される。同一ライン上の複数の画素からなる1次元ブロック、(4画素 \times 4ライン=16画素)のような2次元ブロック、又は時間的に連続する2フレームの空間的に同一の位置の2次元領域からなる3次元ブロックに1フレームの画像が分解される。

ブロック化回路2の出力信号がダイナミックレンジDR(最大値MAXと最小値MINの差)及び最小値MINを検出する検出回路3及び遅延回路4に供給される。検出回路3は、ブロック毎にダイナミックレンジDR及び最小値MINを検出する。遅延回路4は、ダイナミックレンジDR及び最小値MINを検出する時間、データを遅延さ

このバッファリングのために、ダイナミックレンジDRが供給されるバッファリング回路8が設けられている。バッファリング回路8では、しきい値の組(T1、T2、T3、T4)が複数個用意されており、これらのしきい値の組がパラメータコードP1により区別される。パラメータコードP1の番号1が大きくなるに従って、発生データ量が単調に減少するように、しきい値の組が設定されている。但し、発生データ量が減少するに従って復元画像の画質が劣化する。

バッファリング回路8からのしきい値T1~T4と遅延回路9を介されたダイナミックレンジDRとがビット長決定回路10に供給される。遅延回路6及び9は、バッファリング回路8でしきい値T1~T4が決定されるのに要する時間、データを遅らせるために設けられている。ビット長決定回路10には、ダイナミックレンジDRとバッファリング回路8からのしきい値T1~T4(T1<T2<T3<T4)とが供給される。ダイナミックレンジDRとしきい値T1~T4との大き

さの関係に基づいて、割り当てビット長 n が決定される。ダイナミックレンジDR、最小値MIN、コード信号DT及びパラメータコードPiからなる符号化出力がフレーム化回路11に供給され、フレーム化回路11の出力端子12には、伝送データが取り出される。フレーム化回路11は、上述の符号化出力に対して同期信号が付加された伝送データを形成する。また、フレーム化回路11では、エラー訂正符号の符号化がなされる。

なお、以上の説明では、ダイナミックレンジ情報を伝送するために、ダイナミックレンジDR及び最小値MINを送信している。しかし、付加コードとしてダイナミックレンジDRの代わりに最大値MAXまたは量子化ステップ幅を伝送しても良い。

第2図は、受信(又は再生)側の構成を示す。入力端子21からの受信データは、フレーム分解回路22に供給される。フレーム分解回路22により、エラー検出/訂正処理がなされると共に、コード信号DTと付加コードDR、MIN、Pi

とが分離される。

コード信号DTが復号化回路24に供給され、パラメータコードPi及びダイナミックレンジDRがビット長決定回路23に供給される。ビット長決定回路23は、パラメータコードPiで示されるしきい値の組を発生するROMとダイナミックレンジDR及びしきい値の組 $T_1 \sim T_4$ が供給される比較回路とからなる。比較回路がダイナミックレンジDRとしきい値との関係からブロックの割り当てビット長 n を決定し、このビット長 n と対応するデータを発生する。ビット長決定回路23からの割り当てビット長 n を示すデータがフレーム分解回路22及び復号化回路24に供給される。フレーム分解回路22では、このビット長 n によりコード信号を n ビット毎に切り出す。

また、平均値MINが加算回路25に供給される。加算回路25には、復号化回路24の出力信号が供給され、加算回路25の出力信号がブロック分解回路26に供給される。復号化回路24は、送信側の量子化回路7のものと逆の処理を行う。

即ち、コード信号DTが複数の代表レベルに復号され、このデータと8ビットの平均値MINとが加算回路25により加算され、元の要素データが復号される。

加算回路25の出力信号がブロック分解回路26に供給される。ブロック分解回路26は、送信側のブロック化回路2と逆に、ブロックの順番の復元データをテレビジョン信号の走査と同様の順番に変換するための回路である。ブロック分解回路26の出力端子27に復号されたビデオ信号が得られる。

第2図に示す受信側の構成のフレーム分解回路22には、コード信号DTを正しいビット長で切り出すために、第3図の回路が設けられている。第3図において、31で示す入力端子に受信された符号化データ系列が供給される。この系列中のダイナミックレンジDR、最小値MIN及びパラメータコードPiからなる付加コードは、同期信号を基準として一定の間隔で挿入されている。ダイナミックレンジDR及び最小値MINは、ブ

ック毎に発生し、パラメータコードPiが1フレーム毎に発生する。これらの付加コードは、同期信号を検出することで分離することができる。

受信データ系列が切り出し回路32に供給され、切り出し回路32により n ビット毎に並列化されたコード信号DTが発生する。切り出し回路32からのコード信号が遅延回路36を介して復号化回路24(第2図参照)と演算回路37に供給される。遅延回路36は、後述のように、割り当てビット長 n を自己相関係数から推定するのに要する時間、コード信号DTの出力を遅らせる。

切り出し回路32に対してスイッチング回路33を介して割り当てビット長 n の情報が供給される。スイッチング回路33の入力端子aには、ビット長決定回路23(第2図参照)で得られた割り当てビット長 n のデータが供給される。その他方の入力端子bには、制御信号発生回路35からの制御信号が供給される。スイッチング回路33は、端子34からのスイッチング信号で切り替えられる。ビット長決定回路23で得られたビット長の情報

の信頼性が高い時には、スイッチング回路33の入力端子aが選択され、その信頼度が低い時には、入力端子bが選択される。

このような切り替えのためのスイッチング信号は、例えばフレーム分解回路22でなされるエラー検出の結果から形成される。即ち、ダイナミックレンジDRのデータに関してエラーが無い時には、入力端子aが選択され、ダイナミックレンジDRに関してエラーがある時には、入力端子bが選択される。

制御信号発生回路35は、ビット長 m ($m=1, 2, 3, 4$)の情報を発生するものである。上述のスイッチング信号が切り出し回路32にも供給され、スイッチング回路33の入力端子bが選択される時には、切り出し回路32が同一の符号化データ系列に対して、並列的に m ($=1, 2, 3, 4$)ビットの切り出し動作を行うようにされる。

($m=1, 2, 3, 4$)の各ビット長で切り出された切り出し回路32の出力データが演算回路37に供給されている。演算回路37は、下記の

式の自己相関係数 $\phi(\tau)$ を計算する。 m ビットで切り出された時系列を $x_1, x_2, x_3, \dots, x_{16}$ とし、平均値を \bar{x} とし、分散を σ^2 とすると、

$$\phi(\tau) = \frac{\sum (x_i - \bar{x})(x_{i+\tau} - \bar{x})}{16 \times \sigma^2}$$

$$\bar{x} = \frac{\sum x_i}{16}$$

$$\sigma^2 = \frac{\sum (x_i - \bar{x})^2}{16}$$

自己相関係数 $\phi(\tau)$ は、正の相関関係があるときに($\phi(\tau) > 0$)で、負の相関関係があるときに($\phi(\tau) < 0$)で、無相関のときは($\phi(\tau) = 0$)である。

演算回路37で得られた自己相関係数 $\phi(\tau)$ が積分回路38に供給され、ビット長 m の各々のものが正負の符号付きで積分される。この積分回路38の出力信号が判定回路39に供給される。判定回路39は、積分値の中で最大となるビット長 m を特定し、また、0ビット割り当てを検出するために設けられている。判定回路39で検出さ

れたビット長 m が割り当てビット長 n と推定され、判定回路39の出力信号により制御信号発生回路35のビット長 m が n に固定される。ダイナミックレンジDRが正しいデータになる状態では、スイッチング回路33が入力端子aを選択する状態に戻る。

自己相関係数 $\phi(\tau)$ を使用して割り当てビット長 n を推定できることについて第4図～第8図を参照して説明する。第4図～第8図は、説明の簡単のために、1次元ブロックのある長さの符号化データに関するものである。

第4図は、受信された符号化データが($n=4$)の時に、 m ビットで切り出した時の自己相関係数 $\phi(\tau)$ を示している。($m=1$)の時では、各1ビットの x_1, x_2, \dots の時系列に関して $\phi(\tau)$ が演算回路37で求められ、($\tau=1$)である。($m=2$)の時では、各2ビットの x_1, x_2, \dots の時系列に関して $\phi(\tau)$ が求められ、($\tau=2$)である。($m=3$)の時では、各3ビットの x_1, x_2, \dots の時系列に

関して $\phi(\tau)$ が求められ、($\tau=3$)である。($m=4$)の時では、各4ビットの x_1, x_2, \dots の時系列に関して $\phi(\tau)$ が求められ、($\tau=4$)である。

第4図から明らかなように、自分自身との相関を示す自己相関係数($\phi(\tau)=1$)を除いて、自己相関係数 $\phi(\tau)$ の積分値が最大となるのは、($m=4$)の場合である。これは、1次元ブロックで隣接の画素の値が水平方向の相関を持つからであり、その相関の強さは、離れた位置、即ち、 τ が大きくなるにつれて小となる。

第5図は、($n=3$)で符号化されたデータを m ビットで切り出した時の自己相関係数 $\phi(\tau)$ を示す。 $\phi(\tau)$ の積分値が最大となるのが($m=3$)の場合である。

第6図は、($n=2$)で符号化されたデータを m ビットで切り出した時の自己相関係数 $\phi(\tau)$ を示す。 $\phi(\tau)$ の積分値が最大となるのが($m=2$)の場合である。

第7図は、($n=1$)で符号化されたデータを

mビットで切り出した時の自己相関係数 $\phi(r)$ を示す。 $\phi(r)$ の積分値が最大となるのが($m=1$)の場合である。

従って、($n=1, 2, 3$ 又は 4)の時には、判定回路39で自己相関係数 $\phi(r)$ の積分値の最大ものを検出することで、割り当てビット長 n を推定できる。

第8図は、($n=0$)の符号化データをmビットで切り出した時の自己相関係数 $\phi(r)$ を示している。この場合には、ダイナミックレンジDR及びMINのみが存在するので、ビット長mと関係なく $\phi(r)$ が略々0である。従って、判定回路39では、 $\phi(r)$ の最大値を0に近いしきい値と比較し、このしきい値以下の時には、0ビット割り当てと判断している。($n=0$)を検出する他の方法は、 $\phi(r)$ の最大値とその2番目に大きな $\phi(r)$ の値との差を求め、この差が少ない時に($n=0$)と判定する方法である。

上述の実施例以外の種々の変形が可能である。第4図から第7図迄から分るように、($m=1$)

でデータ系列を切り出した時に、自己相関係数がnビットの周期性を有している。これは、ビット長nの周期でコード信号DTの同じ位(例えばMSB)の1ビットが存在するからである。($n=0$)及び($n=1$)の時では、周期性が無いが、その大きさが両者の間で相違している。この周期性と大きさから割り当てビット長 n を推定しても良い。

また、この一実施例と異なり、直列的にmビットの切出しを順次行うようにしても良い。

更に、この発明は、2次元ブロック或いは3次元ブロックに対しても適用できる。より更に、この発明は、ADRC以外の可変長符号化で発生したデータ系列に対しても適用できる。

〔発明の効果〕

この発明は、可変長符号化がなされているデータを正しいと推定できるビット長で切り出すことができる。この発明は、受信されたデータ系列自身からビット長を推定するので、ビット長を示す

ための余分なコード信号を必要とせず、データ圧縮の効率が良い利点がある。

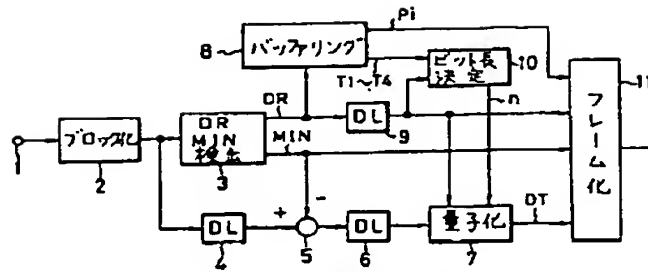
4 図面の簡単な説明

第1図はこの発明を適用できる可変長ADRCの送信側の構成を示すブロック図、第2図はその受信側の構成を示すブロック図、第3図はこの発明の一実施例のブロック図、第4図、第5図、第6図、第7図、第8図はビット長の推定の説明に用いる略線図である。

図面における主要な符号の説明

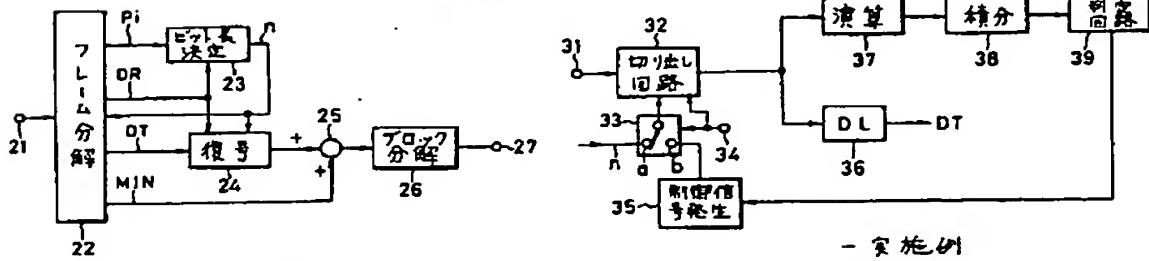
- 32: 切出し回路、
- 33: スイッチング回路、
- 37: 自己相関係数を計算する演算回路、
- 38: 積分回路、
- 39: 判定回路。

代理人 弁理士 杉 浦 正 知



送信側の構成

第1図

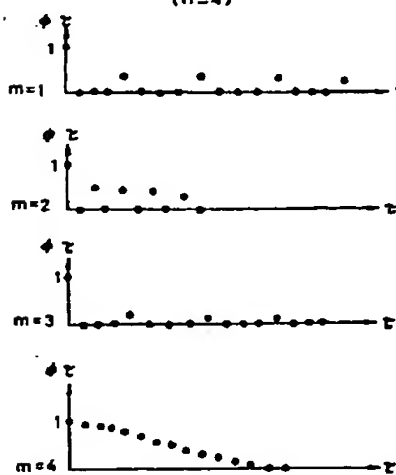
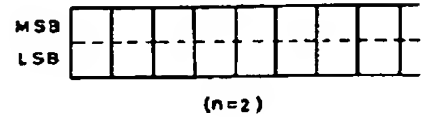
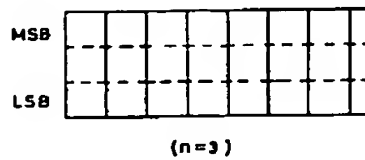
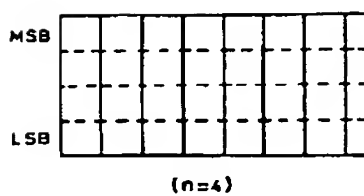


受信側の構成

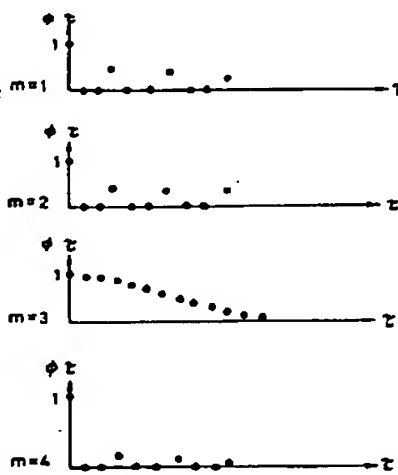
第2図

一実施例

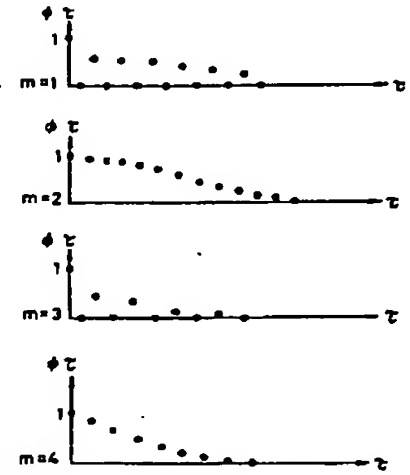
第3図



第4図



第5図



第6図

